

一种用于 PLC 系统的多码率 RS 码译码器

石 宇, 黑 勇, 乔树山

(中国科学院微电子研究所, 北京 100029)

摘 要: 电力线通信(Power Line Communication, PLC)凭借以电力线为通信介质, 成为最具优势的通信方式. 针对 PLC 系统中 RS 码多码率的问题, 基于 RiBM 算法和 uiBM 算法, 设计一种适合 PLC 系统的多码率 RS 码译码器. 该译码器复杂度低, 资源使用量少, 易于 VLSI 实现. 该译码器已在一款 PLC 芯片上得到应用.

关键词: 电力线通信; PLC 系统; RS 码; 多码率; 译码器

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2014)02-0057-05

A Multi-rate RS Decoder for PLC System

SHI Yu, HEI Yong, QIAO Shu-shan

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Advantage of the power line communication with power line communication medium, has become the most advantageous means of communication. Based on RiBM algorithms and uRiBM algorithms, a RS decoder for PLC system with multi-rate feature is presented in this paper. With less resource and less complication, the decoder is easy to be realized in VLSI. The decoder has been applied on a PLC chip.

Key words: power line communication; PLC system; RS code; multi-rate; decoder

1 引言

电力线通信(Power Line Communication, PLC)是利用电力线作为通信介质, 采用载波方式进行数据传输. PLC 系统凭借其网络分布广泛, 组网成本较低等优势, 成为通信体系中最具有优势的通信方式^[1]. 但 PLC 系统的信道条件比较复杂, 信道的时变特性和强干扰特性使数据在传输时误码率较大. 目前 PLC 系统的信道编码大多采用级联码的形式, 既不增加译码的复杂度, 又可以有效地提高系统可靠性. 其中, 多码率的 RS 码便是级联码的外码.

RS 码是由里德(Reed)和索洛蒙(Solomon)于 1960 年首先构造出来的. 它属于多进制的 BCH 码, 具有同时纠正突发错误和随机错误的能力, 是目前应用最为广泛的差错控制编码之一^[2]. RS 码的译码器主要有 4 部分组成. 如图 1 所示, 分别是伴随式计算模块(Syndrome Computation, SC)、关键方程求

解模块(Key-Equation Solver, KES)、钱搜索模块(Chien Search, CS)和福尼算法纠正模块(Forney Algorithm, FA).

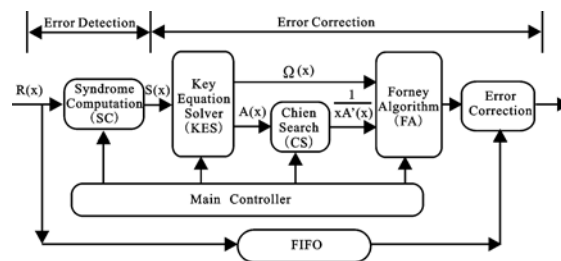


图 1 RS 码译码器框图

RS 码译码器硬件实现的核心和瓶颈是关键方程求解模块. 求解关键方程主要分为 BM 算法和欧几里得算法^[3]两大类. 目前使用最多是基于 BM 算法的 RiBM 算法^[4-5], 它是由 Dilip V. Sarwate 在 2001 年提出的一种 VLSI 结构化的 BM 算法. 2006 年 Kavish seth 等人在 RiBM 算法的基础上, 提出了

收稿日期: 2013-03-31; 修回日期: 2013-05-29

基金项目: 国家自然科学基金项目(61102072)

uiBM 算法^[6]. 相比 RiBM 算法, uiBM 算法使用加法器和乘法器的数量更少. 但 RiBM 算法和 uiBM 算法都不适合实现多码率的 RS 码译码器.

本文在 RiBM 算法和 uiBM 算法的基础上, 设计一种适用于多码率的 RS 码译码器.

2 RS 码译码器原理和解关键方程的算法

2.1 RS 码译码原理

RS 码的码元来源于有限域 $GF(2^m)$, 译码的运算都要在有限域 $GF(2^m)$ 上进行. 译码的基本运算主要包括有限域的加法运算和有限域的乘法运算^[7], 以下简称加法运算和乘法运算. RS (n, k) 码的码字长度是 n , 信息位的长度是 k , 纠错能力是 $t = (n - k)/2$. 设传送码字为 $C(z)$, 接受码字为 $R(z)$, 错误图样为 $E(z)$, 则有式(1):

$$R(z) = C(z) + E(z) \quad (1)$$

由 RS 码的性质可知, 传送码字都是以本原多项式的根 α 为根. 定义伴随多项式为 $S(z)$, 则有式(2)和式(3). 当接受码字 $R(z)$ 没有错误发生时, $S(z) = 0$, 否则 $S(z) \neq 0$.

$$S(z) = s_{2t-1}z^{2t-1} + s_{2t-2}z^{2t-2} + \dots + s_1z + s_0 \quad (2)$$

$$s_i = R(\alpha^i) = E(\alpha^i) \quad (0 \leq i \leq 2t-1) \\ = ((R_{n-1}\alpha^i + R_{n-2})\alpha^i + \dots + R_1)\alpha^i + R_0 \quad (3)$$

定义错误位置多项式 $\Lambda(z)$, 则有式(4). 其中 e 代表错误的个数, X_j 代表错误位置, $\Lambda(z) = 0$ 的根是错误位置 X_j 的倒数.

$$\Lambda(z) = \prod_{j=1}^e (1 - X_j z) = 1 + \lambda_1 z + \dots + \lambda_e z^e \quad (4)$$

定义错误值多项式 $\Omega(z)$, 则有式(5). 其中 Y_i 代表错误值, X_j 代表错误位置.

$$\Omega(z) = \sum_{i=1}^e Y_i X_i \prod_{j=1, j \neq i}^e (1 - X_j z) \\ = \omega_0 + \omega_1 z + \dots + \omega_{e-1} z^{e-1} \quad (5)$$

伴随多项式 $S(z)$ 、错误位置多项式 $\Lambda(z)$ 和错误值多项式 $\Omega(z)$ 之间的关系为式(6):

$$\Lambda(z) \cdot S(z) \equiv \Omega(z) \pmod{z^{2t}} \quad (6)$$

式(6)就是 RS 码译码的关键方程. 解关键方程就是已知伴随多项式 $S(z)$ 和式(6), 求解出错误位置多项式 $\Lambda(z)$ 和错误值多项式 $\Omega(z)$.

求得错误位置多项式 $\Lambda(z)$, 可以通过钱搜索^[8]找到具体的错误位置 X_j . 求得错误值多项式 $\Omega(z)$, 可以通过式(7)——福尼算法^[8], 计算出具体

的错误值 Y_i . 根据错误位置和相应的错误值便可以纠正错误的码字, 得到正确的信息.

$$Y_i = \frac{X_i^{-(2t-1)} \Omega^{(h)}(X_i^{-1})}{\Lambda'(X_i^{-1})} \\ = \frac{z^{2t} \Omega^{(h)}(z)}{z \Lambda'(z)} \Big|_{z=X_i^{-1}} \quad (7)$$

2.2 解关键方程的算法

通过对 RS 码译码原理的分析, 可知译码器的核心和瓶颈是解关键方程. 本文借鉴 RiBM 算法和 uiBM 算法, 在此基础上设计一种适合多码率 RS 码的解关键方程算法. 该算法既具有 RiBM 算法的 VLSI 结构化的特点, 又具有 uiBM 算法的可折叠的优势. 相比 RiBM 算法和 uiBM 算法, 该算法的结构更适合复用, 特别适用于实现多码率的 RS 码译码器. 该算法的伪代码如下:

initialization

$$\hat{\delta}_{3t}(0) = 1 \quad \hat{\theta}_{3t}(0) = 1 \quad \hat{\delta}_i(0) = 0$$

$$k(0) = 0 \quad \gamma(0) = 1$$

$$(i = 2t, 2t+1, \dots, 3t-1)$$

$$\text{input } S_i \quad \hat{\delta}_i(0) = \hat{\theta}_i(0) = S_i \quad (0 \leq i \leq 2t-1)$$

for $r = 0$ step 1 until $2t-1$ do begin

$$\hat{\delta}_{3t}(r+1) = -\hat{\delta}_0(r) \cdot \hat{\theta}_{3t}(r)$$

for $j = 0$ step 1 until $q-1$ do begin

$$\hat{\delta}_{q \cdot p+j}(r+1) = \gamma(r) \cdot \hat{\delta}_{q \cdot p+j+1}(r) - \hat{\delta}_0(r) \cdot \hat{\theta}_{q \cdot p+j}(r)$$

$$p = 0, 1, \dots, 3t/q-1$$

if $\hat{\delta}_0(r) \neq 0$ $k(r) \geq 0$ begin

$$\hat{\theta}_{q \cdot p+j}(r+1) = \hat{\delta}_{q \cdot p+j+1}(r)$$

$$\gamma(r+1) = \hat{\delta}_0(r)$$

$$k(r+1) = -k(r) - 1 \text{ end}$$

else begin

$$\hat{\theta}_{q \cdot p+j}(r+1) = \hat{\theta}_{q \cdot p+j}(r)$$

$$\gamma(r+1) = \gamma(r)$$

$$k(r+1) = k(r) + 1 \text{ end}$$

end

end

$$\text{output } \lambda_i(2t) = \hat{\delta}_{q \cdot p+j+1}(2t)$$

$$\omega_i(2t) = \hat{\delta}_{q \cdot p+j}(2t)$$

$$i = 0, 1, 2, \dots, t$$

该算法继承 uiBM 算法, 引入了折叠因子 q . q 的大小决定了算法中循环体的数量 p ($p = 3t/q$). q 的取值可根据 RS 码码元和码率的特点决定, 一般 q 的取值为 1、3、 t 或者 $3t$.

如果 $q = 1$, 整个关键方程求解模块需要 $3t$ 个 PEt 模块, 此时算法和 RiBM 算法等价.

当 $q = 3$ 时,该算法共需要 t 个循环体. 如果译的是多码率的 RS 码,这些循环体就可以在不同码率的 RS 码译码时实现复用.

3 PLC 系统多码率 RS 码译码器的设计和实现

PLC 系统中,RS 码被用作级联编码的外码,所在有限域为 $GF(2^6)$. PLC 系统共用到了 6 种码率的 RS 码,分别是 (8,6)、(16,12)、(24,18)、(32,24)、(40,30) 和 (48,36),它们分别是 (63,61)、(63,59)、(63,57)、(63,55)、(63,53) 和 (63,51) 的缩短码^[9-10]. 其中,(8,6) 码可以纠正 1 个错误, $t = 1$; (16,12) 码可以纠正 2 个错误, $t = 2$; (24,18) 码可以纠正 3 个错误, $t = 3$; (32,24) 可以纠正 4 个错误, $t = 4$; (40,30) 码可以纠正 5 个错误, $t = 5$; (48,36) 码可以纠正 6 个错误, $t = 6$. PLC 系统可根据待传输数据量的大小选择合适的编码码率.

3.1 伴随式计算模块

根据式(3),设计求解的电路结构. 该结构被称为 SC 计算单元,如图 2 所示.

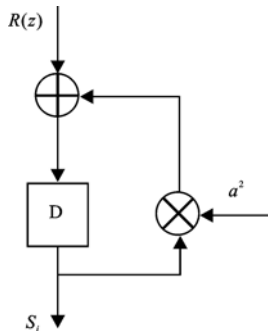


图 2 SC 计算单元

PLC 系统中,(8,6) 码需要 2 个 SC 计算单元,(16,12) 码需要 4 个 SC 计算单元,以此类推,(48,36) 码需要 12 个 SC 计算单元. 根据多码率的特点,设计伴随式计算模块电路结构,如图 3 所示.

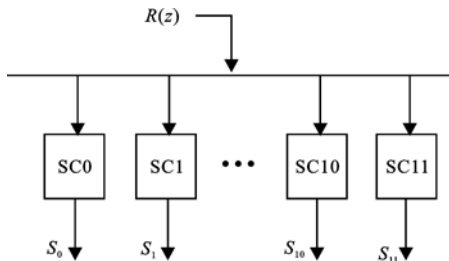


图 3 伴随式计算模块

译(8,6) 码时,SC0 和 SC1 工作,输出 S_0 和 S_1 ,译(16,12) 码时,SC0 至 SC3 工作,输出 S_0 至 S_3 ,以此类推. 译码时,SC0 至 SC11 全部工作,输出 S_0

至 S_{11} .

3.2 关键方程求解模块

关键方程求解模块可以划分为 3 个部分. 如图 4 所示,分别是控制单元(control)、PE1 单元和 PEt 单元. 其中 PEt 单元是算法中参与循环计算的循环体,是整个关键方程求解的核心. 根据第 2.2 节中介绍的算法伪代码,PEt 单元中寄存器的数量是折叠因子 q 的 2 倍;整个关键方程求解模块需要 $p(p = 3t/q)$ 个 PEt 单元.

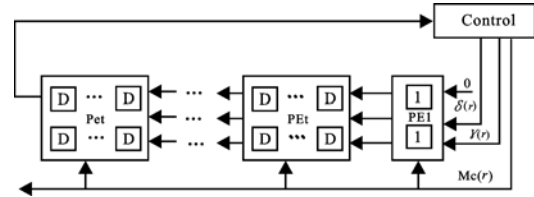


图 4 关键方程求解模块

如果 $q = 1$,每个 PEt 单元需要 2 个寄存器,整个关键方程求解模块需要 $3t$ 个 PEt 模块,此时算法和 RiBM 算法等价.

PLC 系统中 RS 码共有 6 种码率,各个码率 RS 码的 t 值分别是 1 至 6. 根据 PLC 系统中 RS 码的上述特点,本文设计折叠因子 $q = 3$. 译(8,6) 码时 $t = 1$,译码器需要 1 个 PEt 单元;译(16,12) 码时 $t = 2$,译码需要 2 个 PEt 单元;译(24,18) 码时 $t = 3$,译码需要 3 个 PEt 单元;以此类推,译(48,36) 码时 $t = 6$,译码需要 6 个 PEt 单元. 因此,通过对 PEt 结构的复用,仅仅使用 6 个 PEt 单元就可以实现 PLC 系统中 6 种码率 RS 码的译码.

图 5 是本文为 PLC 系统设计的适合 6 种码率的 RS 码求解关键方程的电路结构图. 图 5 中的 Code_Rate_CTR 信号是译码模式的控制信号. 当 Code_Rate_CTR=000_001 时,电路处于译(8,6) 码的模式,此时仅 PEt0 一个循环单元参与运算;当 Code_Rate_CTR=000_011 时,电路处于译(16,12) 码的模式,此时 PEt0 和 PEt1 两个循环单元参与运算;以此类推,当 Code_Rate_CTR=111_111 时,电路处于译(48,36) 码的模式,此时 PEt0 到 PEt1 六个循环单元全部参与运算.

图 6 是 $q = 3$ 时 PEt 单元的具体电路结构图. 图 7 是 PE1 单元的具体电路结构图. 图 8 是控制单元的具体电路结构图.

3.3 钱搜索模块和福尼算法纠正模块

关键方程求解成功,可得到错误位置多项式 $\Lambda(z)$ 和错误值多项式 $\Omega(z)$. 根据钱搜索算法可以求得错误位置. 根据式(7)——福尼算法,可以求得错

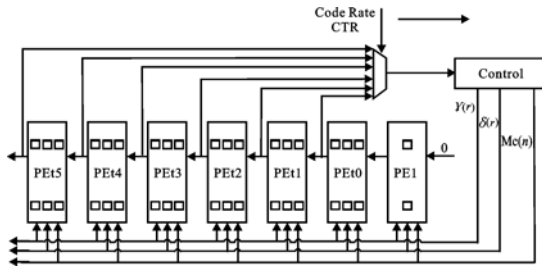


图 5 多码率 RS 码关键方程求解结构

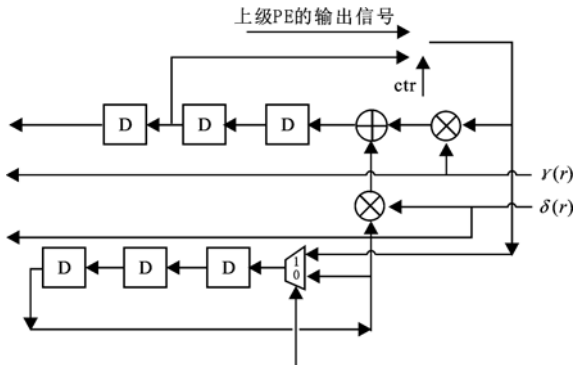


图 6 PEt 单元结构

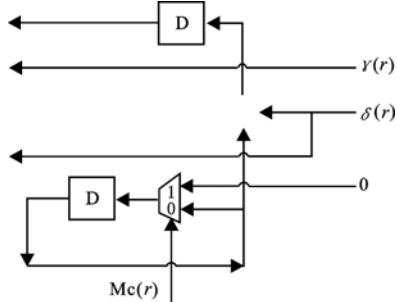


图 7 PE1 单元结构

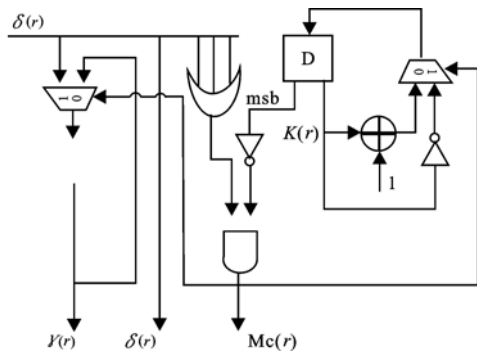


图 8 控制单元结构

误值。图 9 是钱搜索模块的电路结构图。图 10 是福尼算法的电路结构图。图 11 是以上两个算法中的计算单元 C_i 的电路结构图。

4 性能对比与流片结果

本文提出的译码器复杂度低,资源使用量少,易于 VLSI 实现。在 RiBM 算法和 uiBM 算法的基础

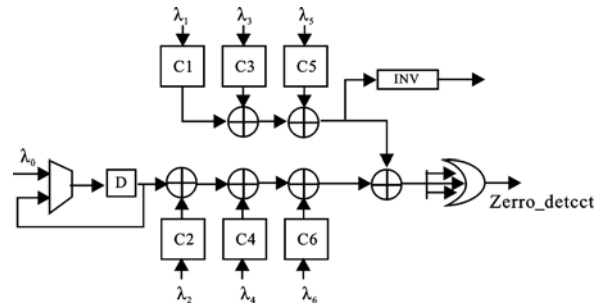


图 9 钱搜索模块结构

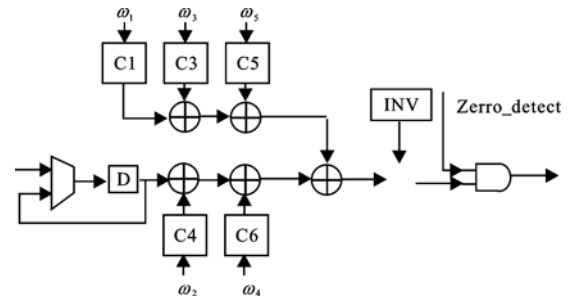
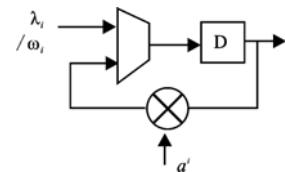


图 10 福尼算法模块结构

图 11 钱搜索和福尼算法的 C_i 单元

上,提出优化的解关键方程算法,使得关键方程求解的电路结构易于复用,特别适合用于多码率 RS 码的译码。以 (48,36) 码为例,针对关键方程求解模块,本文提出的算法在加法器和乘法器的数量上与 uiBM 算法相当,具体数据见表 1。如果以 PLC 系统中的 6 个码率的 RS 码为例,同样针对关键方程求解模块,本文提出的算法在加法器、乘法器和寄存器的数量上有显著的减少,具体数据见表 2。

表 1 (48,36) 码 KES 模块资源量比较

	RiBM	uiBM	本文算法
有限域加法器	19	7	7
有限域乘法器	38	14	13
寄存器	38	48	40

表 2 6 码率 RS 码 KES 模块资源量比较

	RiBM	uiBM	本文算法
有限域加法器	69	27	7
有限域乘法器	138	54	13
寄存器	138	183	40

本文提出的适合多码率 RS 码的译码器已经在

一款PLC系统芯片上得到了应用.该芯片采用HJTC 0.18 μm 1P6M CMOS工艺,经测试芯片中的多码率RS码译码器模块可以在80 MHz的系统时钟下工作正常.

5 结束语

文中针对PLC系统中RS码多码率的问题,在RiBM算法和uiBM算法的基础上,设计了一种适用于多码率的RS码译码器.该译码器还兼顾了uiBM算法和RiBM算法的优点,加法器和乘法器的数量少,复杂度低,易于VLSI实现.目前该译码器已经在一款PLC芯片上得到应用.

参考文献:

- [1] 何光宇,孙云英.智能电网基础[M].北京:中国电力出版社,2010.
- [2] 王新梅,肖国镇.纠错码-原理与方法[M].西安:西安电子科技大学出版社,2003.
- [3] 张天瑜.欧几里得算法的RS译码研究和FPGA仿真[J].武汉理工大学学报,2010,32(2):84-89.
- [4] Dilip V, Naresh R, High speed architectures for reed-

solomon decoders[J]. IEEE Trans. On very Large Scale Integration, 2001,9(5):641-655.

- [5] 郑文杰,李磊,冯穗力,等.改进BM算法的高速RS译码器方案及FPGA实现[J].电声技术,2007,31(6):22-26.
- [6] Kavish S, Viswajith K N, Srinivasan S, et al. Ultra folded high-speed architectures for reed-solomon decoders[C]//IEEE Proceedings of the 19th International Conference on VLSI Design, India: Hyderabad, 2006.
- [7] 谭思炜,潘红兵.基于RS码的可重构有限域乘法器的设计和实现[J].计算机应用与软件,2011(8):281-283.
- [8] 苏佳宁,田骏骅,沈泊.一种适用于DVB系统的低复杂度Reed-Solomon解码器[J].复旦学报,2006(1):1-5.
- [9] 张定云,刘占渠.一种减少RS截短码译码延时的优化设计[J].现代电子技术,2010(23):33-35.
- [10] 赵畅,耿相铭.RS(16,12)缩短码编译原理及性能分析[J].通信技术,2012(2):49-52.

作者简介:

石宇男,(1982-),硕士研究生,工程师.研究方向为数字集成电路设计与实现.

(上接第56页)

误可靠性的预测模型,为可靠性分析提供了理论方法,将“生日重合”概率函数作为累积错误的计算方法,并进行相应简化,在系统层次上即可以概算出不同辐射环境下存储器的可靠性;并在累积概率分布模型上分析了刷新周期对于可靠性的影响.通过文中提出的式(7)和(9)即可快速估算出静态存储器的可靠性,本模型与90 nm工艺下质子测试结果吻合.

参考文献:

- [1] Radaelli D, Puchner H, Wong S, et al. Investigation of multi-bit upsets in a 150 nm technology SRAM device[J]. IEEE Trans on Nucl. Sci., 2005, 52(6): 2433-2437.
- [2] Abdallah M Saleh, Juan J Serrano, Janak H Patel. Reliability of scrubbing recovery-techniques for memory sys-

tems[J]. IEEE Trans on Reliability, 1990, 39(1): 114-122.

- [3] Abramson M, Moser W O J. More birthday surprises[J]. Amer. Math. Monthly., 1970, 77(8): 856-858.
- [4] Reed K Lawrence, Andrew T Kelly. Single event effect induced multiple-cell upsets in a commercial 90 nm CMOS digital technology[J]. IEEE Trans on Nucl. Sci., 2008, 55(6): 3367-3374.
- [5] Michael A Bajura, Younes Boulghassoul, Riaz Nasr. Model and algorithmic limits for an ECC-Based approach to harden-ding sub-100-nm SRAMs[J]. IEEE Trans on Nucl. Sci., 2007, 54(4): 934-945.

作者简介:

周婉婷女,(1982-),博士研究生,助理研究员.研究方向为单粒子分析以及电路加固技术.